



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08097214 A**(43) Date of publication of application: **12.04.96**

(51) Int. Cl.

H01L 21/3205**H01L 21/321**(21) Application number: **06235158**(71) Applicant: **NEC CORP**(22) Date of filing: **29.09.94**(72) Inventor: **NAKAO SHUNJI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

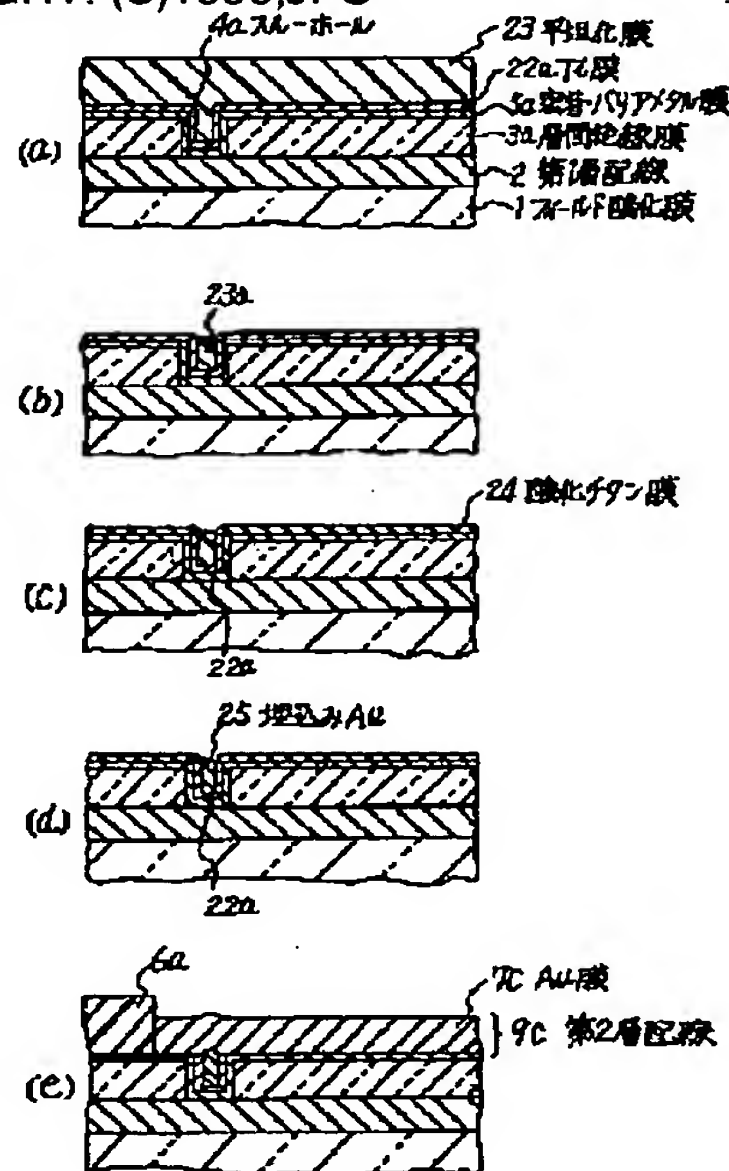
can be improved.

(57) Abstract:

PURPOSE: To improve adhesion, barrier performance, and flatness of an aperture part like a through hole which connects a wiring of a multilayered film structure with a conducting region of a lower layer.

CONSTITUTION: After a through hole 4a for connecting wirings is formed, a sticking barrier metal film 5a and a Ti film 22 are sequentially deposited. After a mask member 23a is formed in only the inside of the through hole 4a, the exposed Ti film 22a is changed into a titanium oxide film 24. The mask member 23a is eliminated, and the inner part of the through hole 4 is filled in the self alignment manner by nonelectrolytic plating. Buried Au 25 is formed, and the surface is flattened. The titanium oxide film 24 which has become unnecessary and the Ti film left below the titanium oxide film 24 are eliminated by etching, the barrier metal film is exposed, and an Au film 7c as the next layer is formed by an electrolytic plating method while the exposed barrier metal film 5a is used as a power supply path. Thereby, generation of a cavity in the through hole can be prevented, and flatness of a wiring

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97214

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205 21/321				
		9169-4M	H 0 1 L 21/ 88 H 0 1 L 21/ 92	R T 6 0 3 D
審査請求 有 請求項の数5 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-235158

(22) 出願日 平成6年(1994)9月29日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 中尾 俊二

東京都港区芝五丁目7番1号 日本電気株
式会社内

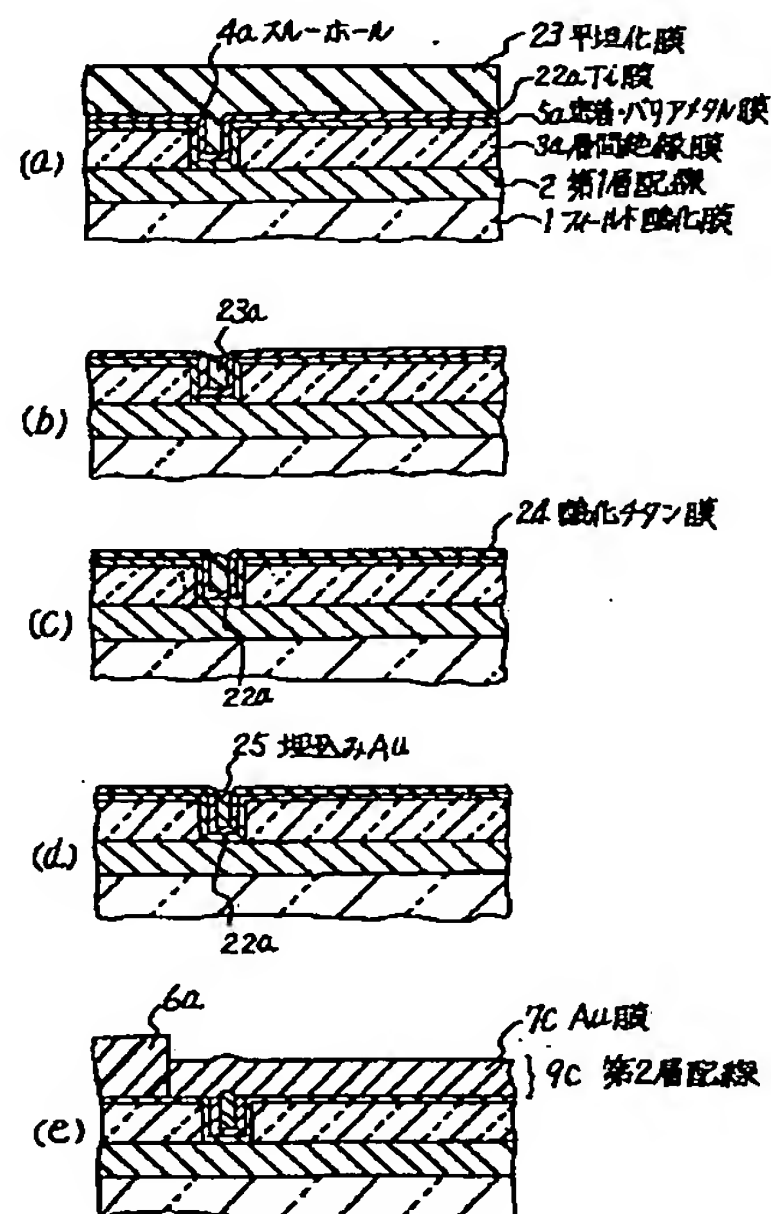
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 多層膜構造の配線を下層の導電領域に接続するスルーホールなどの開口部を含めて密着性およびバリア性ならびに平滑性を向上することにある。

【構成】 配線間を結合するためのスルーホール4 aを設けたのち、密着・バリアメタル膜5 aおよびT i膜1 4 aを順次推積させ、スルーホール4 a内部のみにマスク部材2 3 aを設けたあと、露出したT i膜1 4 aを酸化チタン膜2 4に変換する。マスク部材2 3 aを除去し、無電解めっきにより自己整合的にスルーホール4内部に充填する。埋込みA u 2 5が形成され表面が平滑になる。不要となった酸化チタン膜2 4 aとその下に残ったT i膜をエッチング除去し、バリアメタル膜を露出させ、これを給電バスとして電解めっき法により次層のA u膜7 cを形成する。これにより、スルーホール内の空洞防止と配線の平滑性を向上できる。



【特許請求の範囲】

【請求項1】 半導体基板上の所定の絶縁膜に開口を設けて下方の導電領域の表面を露出させる工程と、前記絶縁膜との密着性に優れた密着メタル膜およびバリアメタル膜を順次に推積して密着・バリアメタル膜を形成し、その酸化物が絶縁体である第1の金属膜を推積して前記絶縁膜の表面、前記開口部の側面および前記導電領域の露出表面を前記開口部を完全に埋込まない程度に被覆する工程と、エッチバック法を利用して前記開口部にマスク部材を埋込む工程と、前記マスク部材をマスクとする酸化処理により前記第1の金属膜を酸化物に変換させる工程と、前記マスク部材を除去した後めっきにより前記開口部を金属で埋込む工程と、前記酸化物およびその直下の第1の金属膜を除去して前記バリアメタル膜を露出させたのち第2の金属膜を選択的に形成して上層配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 第1の金属膜はチタン膜、モリブデン膜またはタンタル膜であり、マスク部材はレジスト膜またはSOG膜であり、酸化処理は陽極酸化法で行う請求項1記載の半導体装置の製造方法。

【請求項3】 第1の金属膜はモリブデン膜、チタン膜またはタンタル膜であり、マスク部材はSOG膜であり、酸化処理をプラズマ酸化法で行う請求項1記載の半導体装置の製造方法。

【請求項4】 導電領域の少なくとも表面部は金であり、第2の金属膜は金膜である請求項1、2または3記載の半導体装置の製造方法。

【請求項5】 めっきは無電解めっきである請求項1、2、3または4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特に配線の形成方法に関する。

【0002】

【従来の技術】高周波用の半導体装置などの配線材料として金（以下、Auと記す）を使用する場合、一般に下地金属との合金化を防止するために、主導電路となるAu膜の下層にいわゆるバリアメタルとして白金（以下Ptと記す）を使用する。さらにPt膜は酸化シリコン膜などの絶縁膜との密着性が低いことから、このPt膜の下層に密着用メタルとしてチタン（以下Tiと記す）を介在させる。従ってAu膜/Pt膜/Ti膜の3層膜構造の配線が使用される。このような配線の形成方法について説明する。

【0003】まず、図3（a）に示すように、シリコン基板上のフィールド酸化膜1などの絶縁膜を選択的に被覆して第1層配線2を形成する。層間絶縁膜3aを全面に推積し、図3（b）に示すように、スルーホール4aを形成する。次にスパッタ法により、図3（c）に示す

ように、Ti膜およびPt膜を順次に推積して密着・バリアメタル膜5aを形成する。次に、図3（d）に示すように、ホトレジスト膜6aをマスクとして電気めっきによりAu膜7aを形成する。次に図3（e）に示すように、ホトレジスト膜6aを除去し、Au膜7aで覆われていない部分の密着・バリアメタル膜5aを除去することにより第2層配線9aを形成する。

【0004】また、特開平2-129945号公報には次のような手法が記載されている。

10 【0005】図4（a）に示すように、層間絶縁膜3aにスルーホール4aを形成し、めっき法により、図4（b）に示すように、Auなどの埋込み金属10をスルーホール4a内に段差を十分に埋めて形成する。すなわち、第1層配線2は、シリコン基板表面部の拡散層（図示しない）に接触しているものとして、シリコン基板の裏面側を陰極とし、第1層配線2を電導バスとして、第1層配線2のスルーホール4a露出部とめっき液の間の電位差によりAuめっき層を析出させる。こうして、次に形成する第2層配線の下地の平滑性を向上させたのち、白金スパッタ膜5bを形成し、図4（d）に示すようにホトレジスト膜6aをマスクとしてめっきを行いAu膜7bを形成する。次に、図4（e）に示すように、ホトレジスト膜6aを除去し、その下部にあった白金スパッタ膜5aを除去して第2層配線9bを形成する。

【0006】

【発明が解決しようとする課題】図3を参照して説明した従来例では、第1層配線2と第2層配線9aとを結合するスルーホール4aの寸法が2μm以下になると、図3（e）に示すようにスルーホール4a内の第2層配線9aのAu膜7aに空洞8aが生じやすい。このため、エレクトロマイグレーションを誘発する原因となり、配線の信頼度低下を招く。

【0007】また、更に上層の配線を形成する場合には、図3（e）の状態にしたあと、図5（a）に示すように、層間絶縁膜3bを推積するが、スルーホール4a上では平坦性が悪く、窪み19が生じる。この窪みは、第2層配線の表面がスルーホール部で平滑性が悪いことによって生じる。次に、スルーホール4bを形成し、図5（b）に示すように、ホトレジスト膜6bをマスクにしてAu膜7bを形成する。次に図5（c）に示すように、ホトレジスト膜6bおよびその下部の密着・バリアメタル膜5bをエッチング除去するが、層間絶縁膜3bの窪み19部ではTiやPtのメタル残り21が発生し、これが配線の漏れ電流を引き起こし歩留り低下の要因となる問題がある。

【0008】このような不具合は、図4を参照して説明した従来例では避けることができる。しかし、この場合はスルーホール4aの側面および底面に密着・バリアメタル膜5bが存在しない。従って、スルーホール4aの側面と埋込み金属10との密着性に難があり、機械的強

度が低く、また埋込み金属10形成時のめっき液の完全除去が難しく経時変化が起るなどの信頼性上の問題がある。また第1層配線2の表面と埋込み金属10との合金化反応を防止できないので材料の選択の自由度がほとんどなく一般性に欠ける。もち論、埋込み金属10の形成と密着・バリアメタル膜5bの形成の順序を入れかえれば、このような不具合はないが、そうすると、適当なマスクを用いるなどの対策を施さないとAu膜が全面にめっきされてしまう。このようなめっき用のマスクを使用する手法としては、特開昭63-41050号公報に記載された例がある。この手法はバンプ電極の形成方法であるが、図6(a)に示すように、絶縁膜10上のアルミニウムパッド11を設けた後、保護絶縁膜12を推積し、開口13を設ける。次に図6(b)に示すように、Ti膜14を形成し、陽極酸化法などを用いて一部を酸化チタン膜15に変換する。次に、図6(c)に示すように、アルミニウムパッド11上に開口13aを有するホトレジスト膜16を形成し、それをマスクとして酸化チタン膜15を除去する。次に、無電解めっきおよびTi膜14を給電電極とする電気めっきにより、図6(d)に示すように、Auバンプ18を形成し、ホトレジスト膜16およびその下部の酸化チタン膜15およびチタン膜14を除去する。この手法を前述したスルーホール

の埋込みに利用することができるが、ホトレジスト膜16(マスク)の開口13aはリソグラフィ技術を利用して形成するので、位置合せ精度による誤差のためマスクの開口とスルーホールとの間には大なり小なりずれが生じ、スルーホールの縁にはスルーホールの深さと同じ厚さのめっきが形成される欠点がありそのまま適用するわけにはいかない。さらに、このホトレジスト膜の

パターンを形成するために製造ステップが増え、高価なパターン投影露光装置(ステッパ)を使用しているので、その分、半導体装置の原価が高くなる欠点がある。

【0009】本発明の目的は、開口部における密着性およびバリア性ならびに表面の平滑性を確保できる多層膜構造の配線を有する半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上の所定の絶縁膜に開口を設けて下方の導電領域の表面を露出させる工程と、前記絶縁膜との密着性に優れた密着メタル膜およびバリアメタル膜を順次に推積して密着・バリアメタル膜を形成し、その酸化物が絶縁体である第1の金属膜を推積して前記絶縁膜の表面、前記開口部の側面および前記導電領域の露出表面を前記開口部を完全に埋込まない程度に被覆する工程と、エッチバック法を利用して前記開口部にマスク部材を埋込む工程と、前記マスク部材をマスクとする酸化処理により前記第1の金属膜を酸化物に変換させる工程と、前記マスク部材を除去した後めっきにより前記開口

部を金属で埋込む工程と、前記酸化物およびその直下の第1の金属膜を除去して前記バリアメタル膜を露出させたのち第2の金属膜を選択的に形成して上層配線を形成する工程とを有するというものである。

【0011】第1の金属膜としてはTi、MoまたはTaなどの弁金属膜を用いることができる。マスク部材としてはレジスト膜やSOG膜を用い、酸化処理としては電解液を利用した陽極酸化を用いることができる。また、SOG膜を使用する場合はプラズマ酸化によってもよい。まためっきは無電解めっきが好しい。

【0012】

【作用】開口部の周辺は第1の金属膜の酸化物で被覆されるのでこれをマスクとしてめっきを行い開口部のみに金属を埋込むことができる。電気めっきでこの開口部に金属を埋込む場合、電界集中の起こり易い開口縁辺に酸化物があって金属の析出が生じないので空洞の発生が起こり難い。無電解めっきによるときは、金属の析出が均一に生じ空洞の発生が一層起こり難い。

【0013】

20 【実施例】次に本発明について図面を参照して説明する。

【0014】図1(a)～(e)は本発明の一実施例の説明のための工程順断面図である。

【0015】まず、図1(a)に示すように、シリコン基板上のフィールド酸化膜1などの絶縁膜を選択的に被覆して第1層配線2を形成する。第1層配線2の構造や材料は必ずしも限定されないが、例えばAu膜/Pt膜/Ti膜の3層構造でもよい。そして、下層の配線(図示しない)やシリコン基板表面部の拡散層(図示しない)などの導電領域に接続されていてもよい。次に、厚さ1～1.5μmの層間絶縁膜3a、寸法1μm×1μm～1.5μm×1.5μmのスルーホール4aを形成し、スパッタ法により密着・バリアメタル5aとなる厚さ50～100nm(平坦部)のTi膜と厚さ30～50nm(平坦部)のPt膜とを順次に形成し、さらに厚み250～500nmのTi膜22aを推積させる。つづいて、平坦性のよいレジスト(たとえば、富士ハント社製のHPR204)を回転塗布し、平坦化膜23を形成する。

40 【0016】次に、反応性イオンエッチング(RIE)装置を使って、CF₄とO₂との混合ガスにより、図1(b)に示すように平坦化膜23をエッチングし、スルーホール4a内部にのみマスク部材23aとして残す。

【0017】次に、露出したフィールドのTi膜22aを陽極酸化法により酸化することにより、図1(c)に示すように、厚さ100～200nmの酸化チタン膜24を形成する。この結果、スルーホール4a内部のTi膜22aはマスク部材23aによりマスクされているので酸化することではなく、スルーホール4a以外のTi膜のみ自己整合的に酸化チタン膜に変換される。

【0018】次に、不要となったスルーホール4 a内部のマスキ部材2 3 aを有機溶剤等で剥離除去したあと、無電解めっきによりスルーホール4 a内部のTi膜2 2 aにAuめっきを行い、図1 (d)に示すように、スルーホール4 a内部に埋込みAu 2 5を形成する。埋込みAu 2 5の表面が密着・バリアメタル膜5 aの表面とほぼ一致するか若干高くなるようにするのがよい。埋込みAu 2 5の形成は、均一にめっきできる無電解めっきによるのが好ましいが、密着・バリアメタル膜5 aを給電電極とする電気めっきを用いることもできる。その場合、スルーホール4 a上部の縁辺部の電界集中が起こる箇所を酸化チタン膜で覆うように、マスキ部材2 3 aの高さをやや低めにするのがよい。

【0019】次に、RIE装置を使ってCF₄とO₂との混合ガスにより、不要となった酸化チタン膜2 4とその下にある酸化されずに残ったTi膜をエッチング除去する。このCF₄+O₂系RIEは、酸化チタン膜2 4およびTi膜と密着・バリアメタル膜5 aのPt膜および埋込みAu 2 5とのエッチング選択比が少なくとも50以上とれるため、選択的に酸化チタン膜2 4とチタン膜とを完全に除去することができる。つづいて、ホトリソグラフィ技術により、図1 (e)に示すように、ホトレジスト膜6 aを形成し、電気めっきにより露出した密着・バリアメタル膜5 aに厚さ1 μmのAu膜7 cを電着させる。

【0020】不要となったホトレジスト膜6 aを剥離除去し、Au膜7 cに覆われてない領域の密着・バリアメタル膜5 aをアルゴンガスあるいは塩素系ガスのイオンミリング法によりエッチング除去して第2層配線9 cの形成を終了する。

【0021】第3層配線を有する半導体装置の場合は、図2 (a)に示すように、更に層間絶縁膜3 bを推積し、スルーホール4 bを形成し、密着・バリアメタル膜5 bとTi膜2 2 bを順次推積させる。

【0022】次に、前述の図1 (a)～(e)を参照して説明した手順にしたがって、図2 (b)に示すように、ホトレジスト膜6 bをマスクとしてAu膜7 dを形成し、不要となったホトレジスト膜6 b、密着・バリアメタルをそれぞれ除去することによって、図2 (c)に示すように、第3層配線2 0 bを形成する。

【0023】スルーホール4 aは密着・バリアメタル膜、チタン膜および埋込みAu膜によってほぼ完全に充填されるので、層間絶縁膜3 bには、図5を参照して説明した場合のように窪み1 9は殆ど生じないが、むしろ若干盛り上がるようにすることができ、メタル残り(図5 (c)の2 1)の生じる危険性は殆どない。

【0024】本実施例では、ホトレジスト膜を利用したエッチバック法によりマスキ部材を埋込んだが、SOG膜を利用することもできる。すなわち、例えばC₂H₅Si(OH)₃などのシラノール化合物と溶剤とからな

る塗布液を回転塗布し、100℃前後で溶剤を蒸発させ、250～350℃の窒素雰囲気中の熱処理によりガラス化させる。次に、CF₄とO₂との混合ガスを使用したRIEでエッチバックを行いマスキ部材とする。この場合、Ti膜の酸化に陽極酸化を使用できるが、プラズマ酸化を使用することもできる。

【0025】第1の金属膜としてTi膜を用いた場合について説明したが、そのほかモリブデン(Mo)膜やタンタル(Ta)膜を使用してもよい。Mo膜の場合、プラズマ酸化により酸化モリブデン膜に容易に変換でき、酸化モリブデン膜の除去は、塩素系ガスを使ったRIEにより達成できる。

【0026】また、下方の導電領域として配線を例にあげたが、半導体基板の拡散層(FETのソース・ドレイン領域や、バイポーラ・トランジスタのコレクタ領域など)でもよいことは改めて説明するまでもない。

【0027】

【発明の効果】以上説明したように本発明は、下方の導電領域と上方の配線との間の絶縁膜に設けられたスルーホールなどの開口を介して接続することにおいて、開口部から外部まで延在して密着・バリアメタル膜で覆い、かつ開口部内部のみを金属で良好に充填でき、密着性がよく開口上で表面の平滑な多層膜構造の配線が形成できるので半導体装置の信頼性の向上が可能となる効果がある。また、開口埋込みを自己整合的におこなうので、ホトリソグラフィ工程が不要になり、ホトレジストパターンのずれによる埋込み不良をなくすることができるので半導体装置を安価に提供できる効果もある。

【図面の簡単な説明】

【図1】本発明の一実施例の説明のため(a)～(e)に分図して示す工程順断面図である。

【図2】図1に続いて(a)～(c)に分図して示す工程順断面図である。

【図3】一従来例の説明のため(a)～(e)に分図して示す工程順断面図である。

【図4】別の従来例の説明のため(a)～(e)に分図して示す工程順断面図である。

【図5】従来技術の説明のため図3に続いて(a)～(c)に分図して示す工程順断面図である。

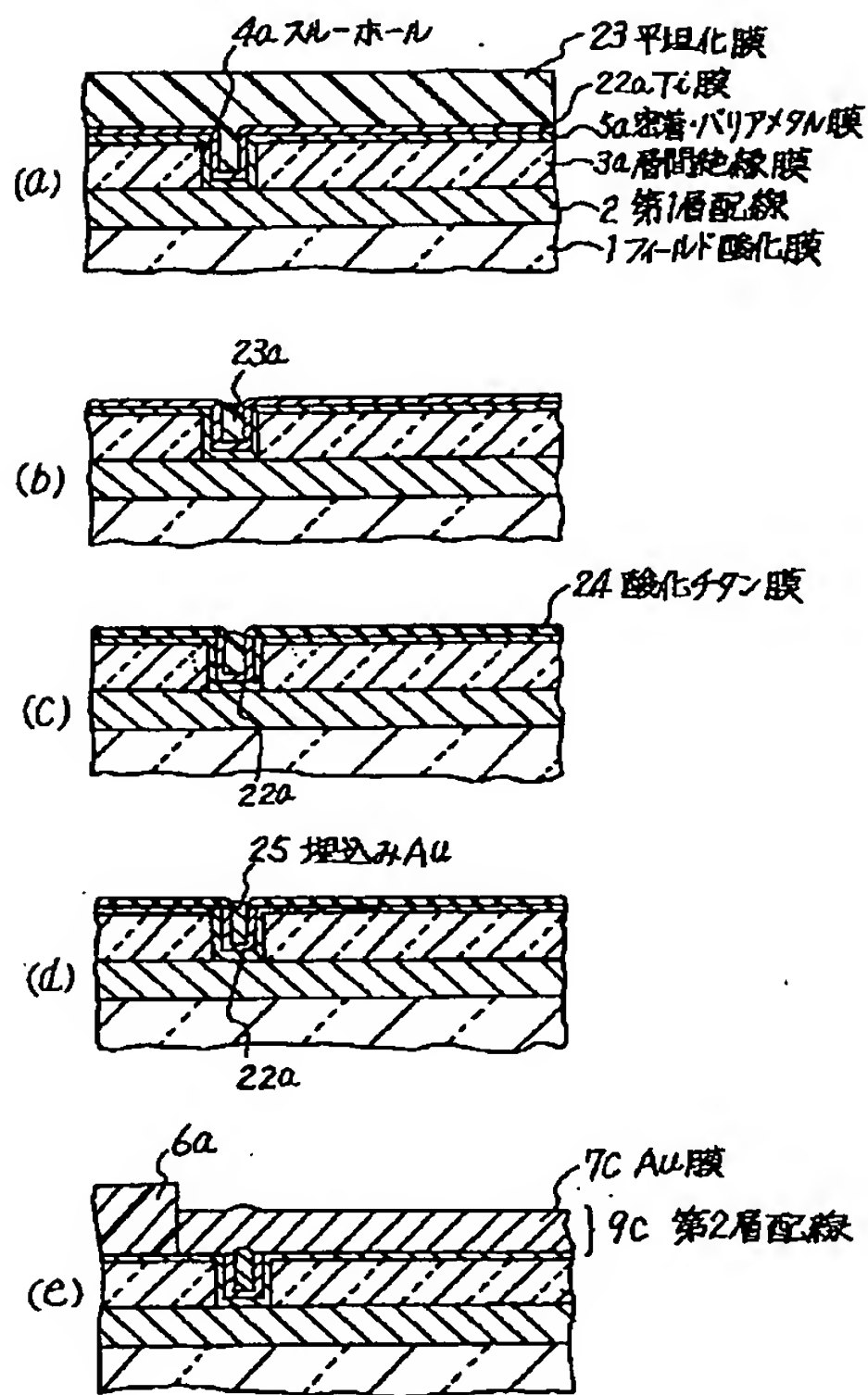
【図6】バンプ形成法の説明のため(a)～(d)に分図して示す工程順断面図である。

【符号の説明】

- | | |
|--------------------|------------|
| 1 | フィールド酸化膜 |
| 2 | 第1層配線 |
| 3 a, 3 b | 層間絶縁膜 |
| 4 a, 4 b | スルーホール |
| 5 a, 5 b | 密着・バリアメタル膜 |
| 6 a, 6 b | ホトレジスト膜 |
| 7 a, 7 b, 7 c, 7 d | 金膜 |
| 8 a, 8 b | 空洞 |

- 9a, 9b, 9c 第2層配線
 10 埋込み金属
 11 アルミニウムパッド
 12 保護絶縁膜
 13, 13a 開口
 14 Ti膜
 15 酸化チタン膜
 16 ホトレジスト膜
 17 Auめっき層

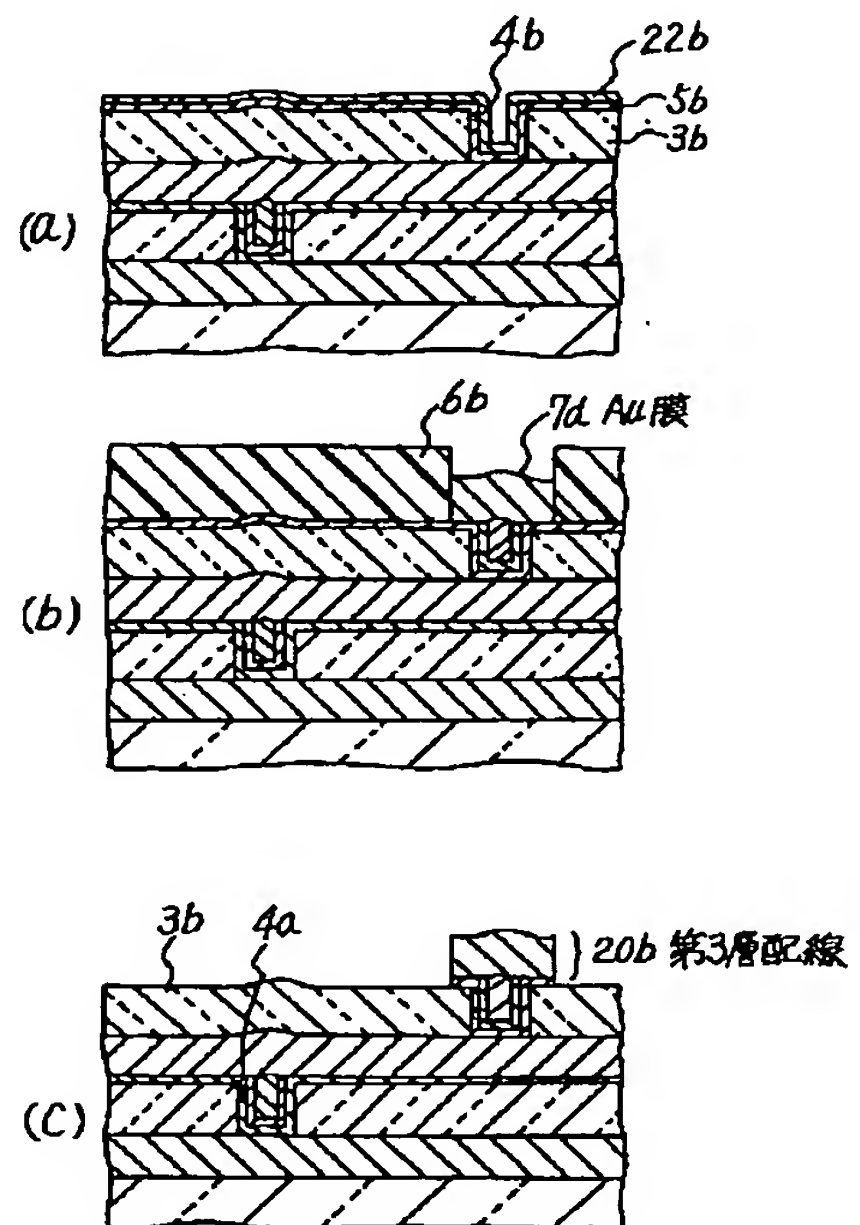
【図1】



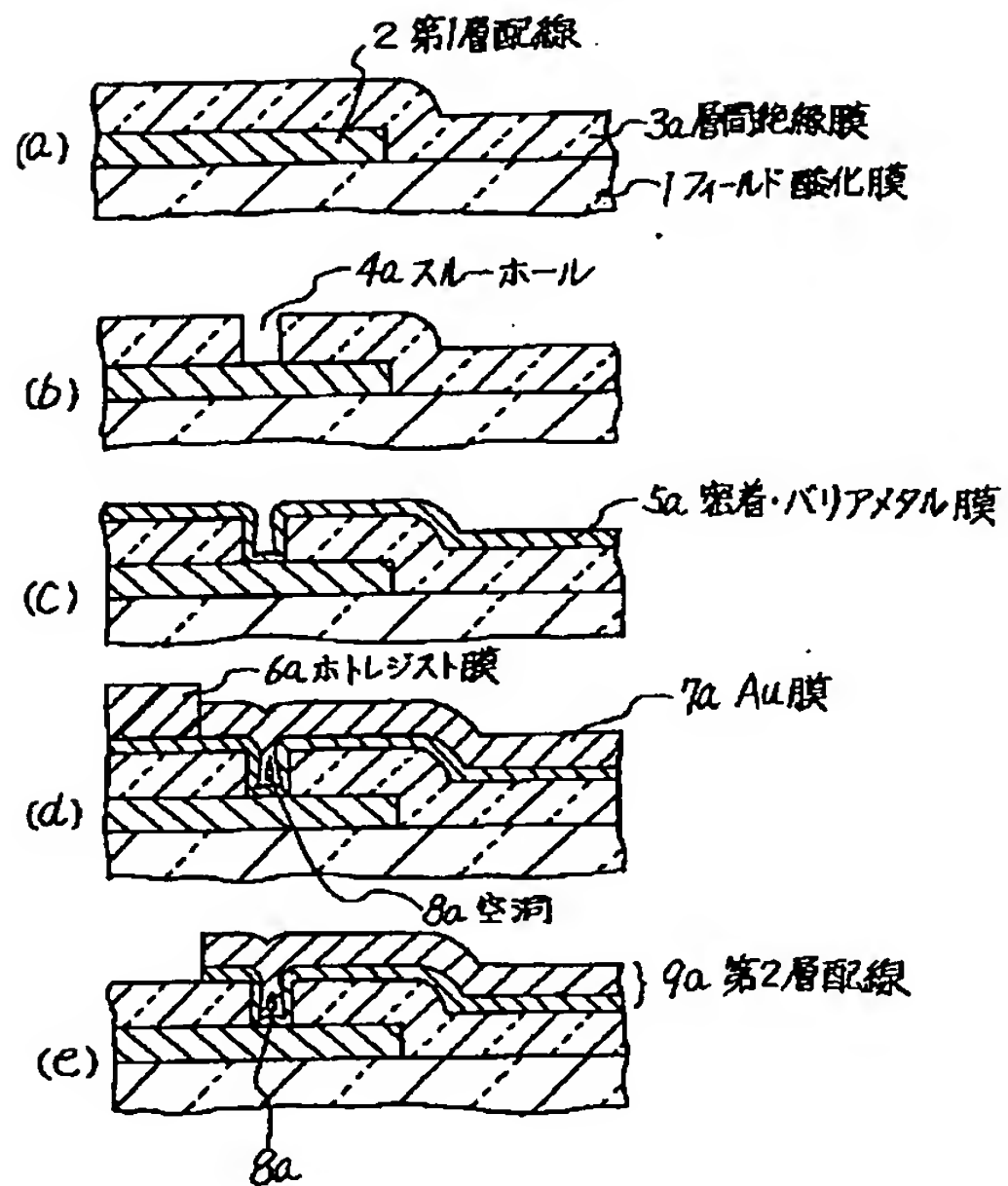
- * 18 Auバンプ
 19 窪み
 20a, 20b 第3層配線
 21 メタル残り
 22a, 22b Ti膜
 23 平坦化膜
 24 酸化チタン膜
 25 埋込みAu

*

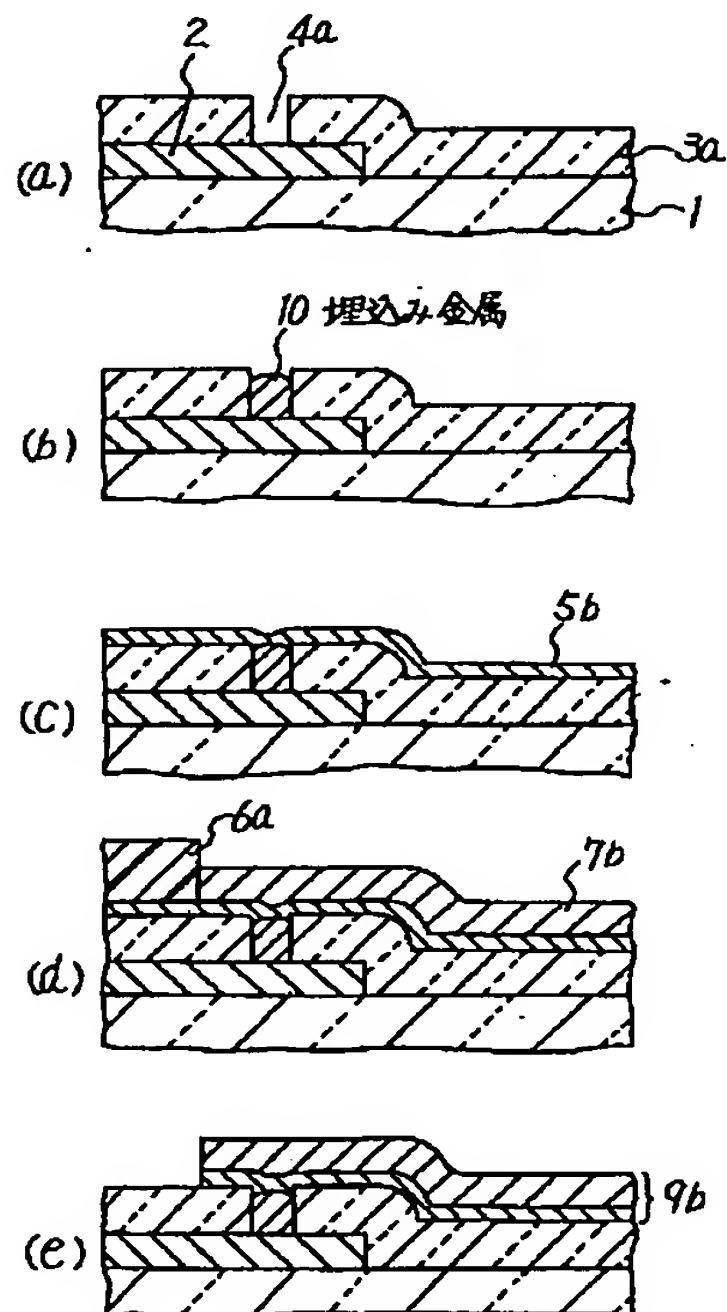
【図2】



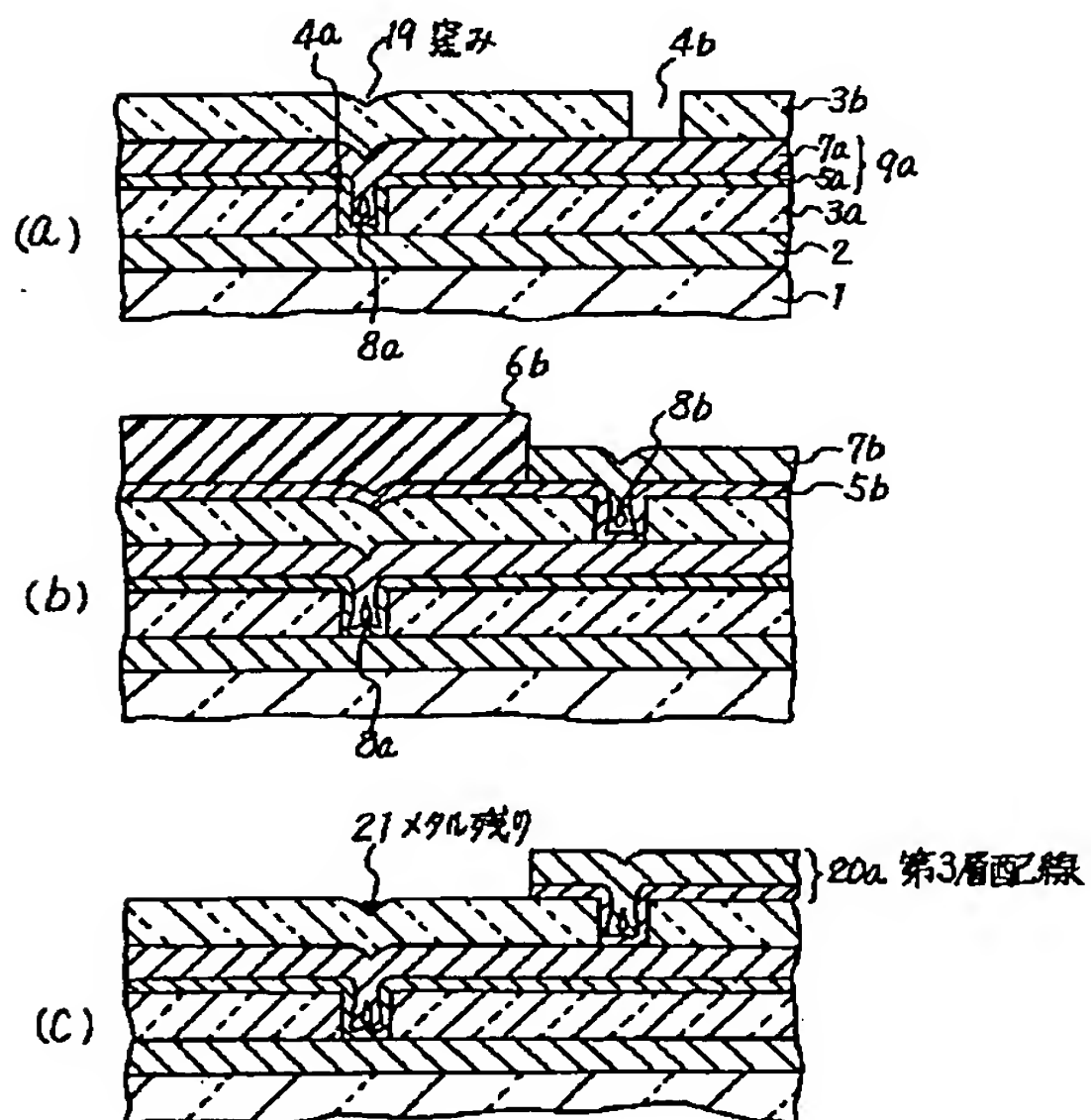
【図3】



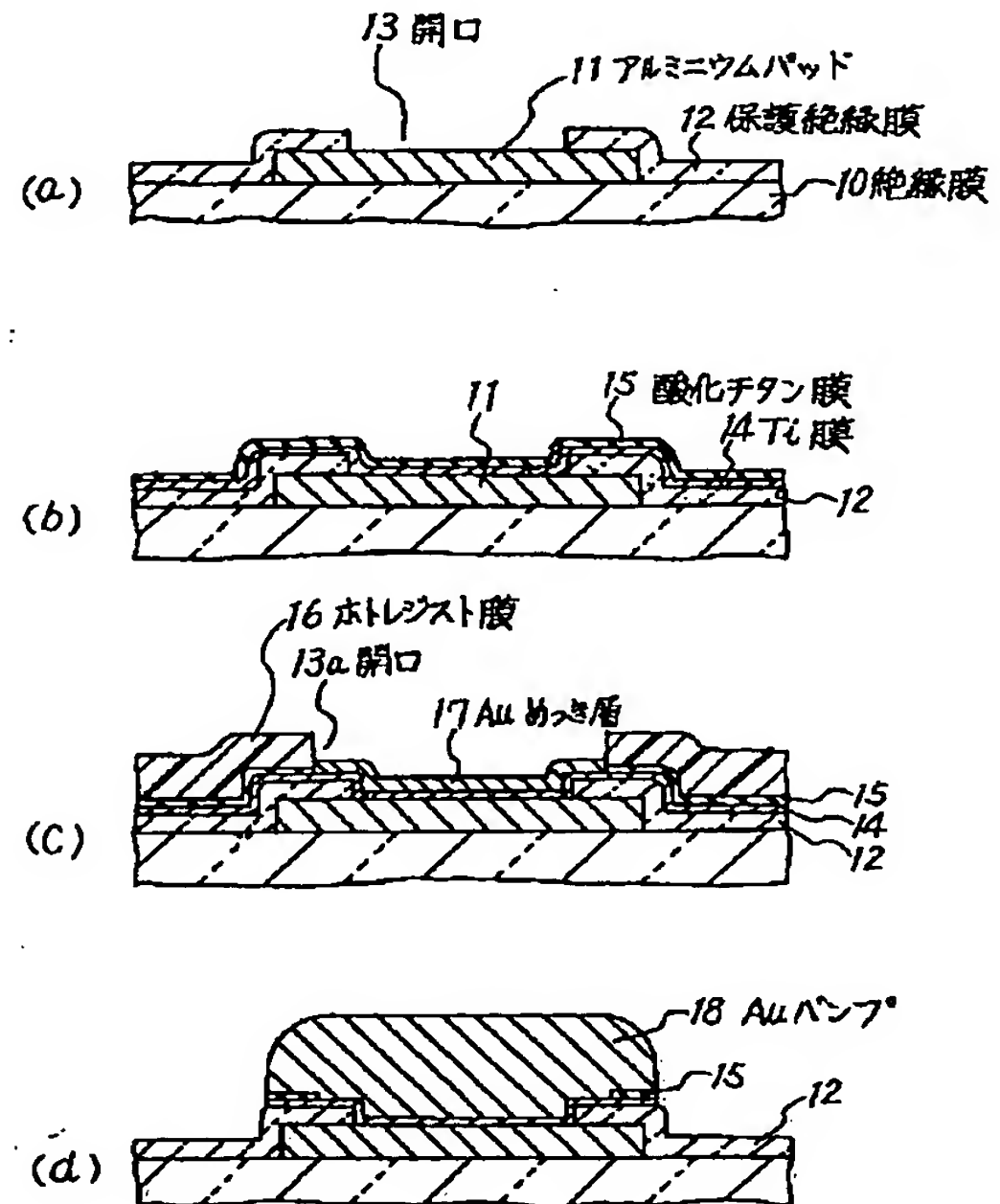
【図4】



【図5】



【図6】



(7)

特開平8-97214

フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号
9169-4M

F I

技術表示箇所

604 B